

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-199149

(43)Date of publication of application : 04.08.1995

(51)Int.Cl. G02F 1/133  
 G02F 1/133  
 G02F 1/136  
 G09G 3/36

(21)Application number : 05-335889

(71)Applicant : SHARP CORP

(22)Date of filing : 28.12.1993

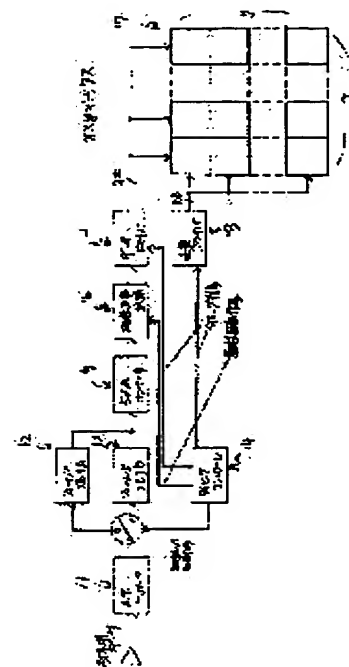
(72)Inventor : SHIRAKI ICHIRO  
 MATSUURA MANABU  
 KUBOTA YASUSHI  
 YONEDA YUTAKA  
 YAMAMOTO YOSHITAKA

## (54) PICTURE DISPLAY DEVICE AND ITS DRIVING METHOD

## (57)Abstract:

PURPOSE: To improve a holding rate of display data, to unnecessitate auxiliary capacity and to improve numerical aperture by writing the same data in pixels plural times during one frame period, in an active matrix type picture display device.

CONSTITUTION: This device is provided with a timing control circuit 14, an A/D converter 11, a field memory A12, a field memory B13, a D/A converter 15, a current reversing circuit 16, a data driver 2, a scanning driver 3, a pixel array 17 for display ( $X \times Y$  matrix), and a pixel circuit is constituted so that a value of an auxiliary capacity  $C_s$  is made a value for which a holding rate of display data is less than 99% or the auxiliary capacity  $C_s$  is eliminated, and the pixel circuit is connected to the data driver 2 and the scanning driver 3.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision]

of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-199149

(43) 公開日 平成7年(1995)8月4日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 5 0			
	5 1 0			
1/136	5 0 0			
G 0 9 G 3/36				

審査請求 未請求 請求項の数 7 O L (全 13 頁)

(21) 出願番号 特願平5-335889

(22) 出願日 平成5年(1993)12月28日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 白木 一郎

大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

(72) 発明者 松浦 学

大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

(72) 発明者 久保田 靖

大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

(74) 代理人 弁理士 梅田 勝

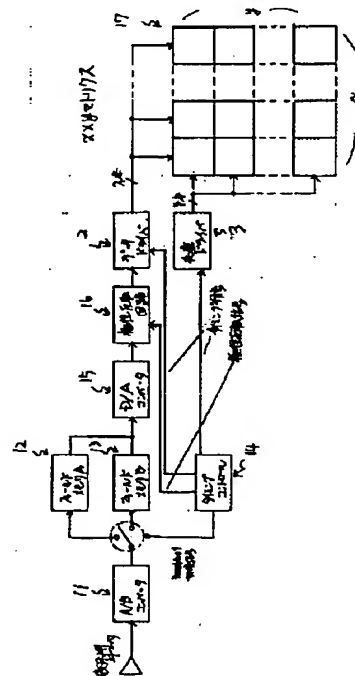
最終頁に続く

(54) 【発明の名称】 画像表示装置及びその駆動方法

(57) 【要約】

【目的】 アクティブマトリクス型画像表示装置において、1フレーム期間内に複数回の同一データを画素に書き込む事により、表示用データ保持率を改善し、補助容量を廃止、開口率の向上を図る。

【構成】 画像表示装置はタイミングコントロール回路14、A/Dコンバータ11、フィールドメモリA12、フィールドメモリB13、D/Aコンバータ15、極性反転回路16、データドライバ2、走査ドライバ3、表示用画素アレイ (x×yマトリクス) 17を具備し画素回路としては補助容量C<sub>s</sub>の値が表示用データ保持率が99%未満となるような値をとる構成、もしくは補助容量C<sub>s</sub>を除去した構成とし、データドライバ2及び走査ドライバ3に接続する。



## 【特許請求の範囲】

【請求項 1】 行方向（水平方向）及び列方向（垂直方向）にマトリクス状に表示用の画素部を有し、該画素部に表示用データ保持用の補助容量をもつ画像表示装置において、前記補助容量の値が表示用データの 1 フレームにおける保持率が 99%未満となるような値を取ることを特徴とする画像表示装置。

【請求項 2】 行方向（水平方向）及び列方向（垂直方向）にマトリクス状に表示用の画素部を有し、該画素部に表示用データ保持用の補助容量を有さないことを特徴とする画像表示装置。

【請求項 3】 行方向（水平方向）及び列方向（垂直方向）にマトリクス状に表示用の画素部を有する画像表示装置において、1 フレーム期間内で該同一画素部に、複数回の同一表示用データを書き込むことを特徴とする請求項 1 又は 2 のいずれかに記載の画像表示装置の駆動方法。

【請求項 4】 画像表示装置がアクティブマトリクス方式で駆動され、画素のスイッチング機能をなすアクティブ素子に、アクティブ素子の 1/2 の大きさのソース、ドレイン間を直結した MOSFET を画素電極に接続する構成とし、上記アクティブ素子に対応する走査信号とは逆位相となる走査信号を MOSFET に印加することを特徴とする画像表示装置。

【請求項 5】 画像表示装置がアクティブマトリクス方式で駆動され、画素のスイッチング機能をなすアクティブ素子を、CMOS アナログスイッチで構成し、上記 CMOS アナログスイッチを構成する 2 つの MOSFET にお互いが逆位相となる走査信号を印加することを特徴とする画像表示装置。

【請求項 6】 画像表示装置が液晶表示装置である請求項 1～5 のいずれかに記載の画像表示装置。

【請求項 7】 アクティブ素子がキャリア移動度  $\mu$  が  $\mu \geq 5 \text{ cm}^2/\text{V} \cdot \text{sec}$  なる素子であることを特徴とする請求項 1～6 のいずれかに記載の画像表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、マトリクス状に表示用画素を有する画像表示装置とその駆動方法に関する。

## 【0002】

【従来の技術】本願明細書における「フィールド」と「フレーム」とを次の通り定義する。

フレーム：画像表示装置に表示される単一の完結した画像。

フィールド：「フレーム」の構成要素である画像。

液晶表示装置に代表される、マトリクス状に画素を配した画像表示装置においてアクティブマトリクス駆動方式が知られている。ここではアクティブマトリクス型液晶表示装置について説明する。

【0003】まず画像表示部分の構造について説明す

る。図 11 において複数のデータ信号線 4 と複数の走査信号線 5 とをデータ信号線と複数の走査信号線とが交差する状態で備え、隣接する 2 本のデータ信号線と 2 本の走査信号線とで包囲された部分に画素 6 がマトリクス状に設けられており、各画素はアクティブ素子としての TFT（薄膜トランジスタ）等のトランジスタ TR と、液晶容量 Cp と、必要に応じて補助容量 Cs とによって構成される。同図においてトランジスタ TR のドレイン、ソースを介してデータ信号線 4 と液晶容量 Cp 及び補助容量 Cs の一方の電極とが接続され、トランジスタ TR のゲートは走査信号線 5 に接続され、液晶容量 Cp の他方の電極（コモン電極）はコモン電源線に、補助容量 Cs の他方の電極（コモン電極）はコモン電源線もしくは前段の走査信号線に接続されている。（図 11 ではコモン電極に接続されている。）尚、データ信号線 4 はデータドライバ 2 に、走査信号線 5 は走査ドライバ 3 に接続されている。

【0004】同図においてタイミングコントロール部 1 で各画素 6 に表示すべき表示用データの電圧、及び表示を行う際の位置決めを行う為の水平及び垂直同期信号を発生させ、これらの信号を基準にしてデータドライバ 2（ソースドライバとも呼称される）、走査ドライバ 3

（ゲートドライバとも呼称される）の駆動タイミングを決定するタイミング信号（スタートパルス、クロック等）を発生させる。これらの信号をもとに、データドライバ 2 において 1 水平走査期間分の表示用データをサンプリングし、更にサンプリングされた上記信号をタイミングコントロール部 1 で生成された転送信号によりデータ信号線 4 に出力する。一方、走査ドライバ 3 ではデータ信号線 4 上に出力された表示用データの格納画素を指定する走査信号を走査信号線 5 に出力し、走査信号線 5 がアクティブ状態である時にデータ信号線 4 上を送られる表示用データがトランジスタ TR を介して液晶容量 Cp に書き込まれる。

【0005】液晶容量 Cp に書き込まれた電荷により液晶層の透過率、或いは反射率が変調され表示が維持されることになるが、実際には液晶容量 Cp には比較的高抵抗ではあるが容量成分と並列に抵抗成分（リーク抵抗）が存在するため、蓄積された電荷がこの抵抗を介して漏れ出し、次のフィールドで再びこの画素にデータが書き込まれるまでの間に画素電極の電圧が減衰し、表示品位を低下させる事になる。そこで、このリーク電流による画素電極の電位変動を小さくするために液晶容量 Cp と並列に補助容量 Cs を設ける事が行われている。

【0006】図 12 に補助容量 Cs を有した場合の画素の構造図（補助容量 Cs は前段の走査信号線に接続されている。）を示す。同図において、4 がデータ信号線、5 が走査信号線、7 が TFT（薄膜トランジスタ）、8 が画素部分（開口部）であり、走査信号線と画素の重つ

た部分 13 が補助容量  $C_s$  となっており、補助容量が配置された領域分だけ開口率が低下している。

【0007】また液晶層に一定方向のみの電界を印加していると液晶容量  $C_p$  の劣化、つまり液晶の劣化が著しいため、これを防ぐために交流駆動を行う必要がある。この交流駆動（反転駆動）には 1 フィールド毎に極性を反転させるフィールド反転、及び 1 水平ライン毎に反転させる 1 H ライン反転とがあるが、前者と後者を合わせた「フィールド + 1 H ライン反転駆動」が通例となっている。

【0008】また図 13 に示すように TFT（薄膜トランジスタ）TR のゲートソース間には寄生容量  $C_{gs}$  が存在するため画素容量（液晶容量  $C_p$  と補助容量  $C_s$  の和）と寄生容量  $C_{gs}$  との容量分割により画素電極において電圧シフトが発生する。この電圧シフトはデータ信号線上に送られている表示用データの電圧を  $V$ 、走査信号線の振幅を  $V_0$  とすると画素に書き込まれる電圧は  $(V - \Delta V)$  となる等の不具合が発生していた。（ここで  $\Delta V = V_0 \cdot C_{gs} / (C_p + C_s + C_{gs})$  である）これはフリッカーの発生要因の一つでもあった。

【0009】ここで、上述したアクティブマトリクス駆動方式の液晶表示装置に一般的に用いられている TN 型液晶より高速動作が可能で、データ保持率の低い（リーク抵抗の小さい）液晶を用いて、バッファ回路により該液晶のデータ保持率を維持するフィールド順次走査方式の液晶表示装置が提案されている。

【0010】ここで言うフィールド順次走査方式とは、2 色以上の色を時分割で表示することによって、眼の残像効果を利用した時間継続的な加法混色を行うカラー技術であり、図 16 のタイミングチャートに示す様に画素表示部への表示用データの転送を極めて短い時間  $\tau$  で行い、残りの時間（TR、TG、TB）で表示するものである。

【0011】フィールド順次走査方式における画素回路としては図 11 に示す構成でも動作可能であるが、他の画素回路構成として特願平 3-77983（特開平 4-310925）で 2 つの方式が提案されている。

【0012】この第 1 の提案では、画素回路を図 14 の様に保持容量  $C_h$  とバッファアンプ回路 9 とを備えた構成とし、図 16 のタイミングチャートの様に画素表示部への表示用データの転送を極めて短い転送時間  $\tau$  で行い、残りの時間（TR、TG、TB）で表示する方法である。このバッファアンプ回路 9 の高入力インピーダンスは、転送された表示用データを保持容量  $C_h$  で確実に保持し、次の表示用データが転送されるまでの期間、つまり保持期間 TR、TG、TB の期間、液晶容量  $C_p$  に電荷を維持する働きをする。

【0013】第 2 の例では、画素回路を図 15 に示す構成としている。即ち、バッファアンプ回路 10 と保持容量  $C_h a$ 、 $C_h b$  を設ける構成とし、保持容量  $C_h a$ 、

$C_h b$  の一方に保持している電圧を表示している間に保持容量  $C_h a$ 、 $C_h b$  の他方に電荷を蓄える構成である。これによって、保持容量  $C_h a$ 、 $C_h b$  への表示用データの転送と液晶容量  $C_p$  への書き込みを交互に行うことが可能となる為に図 17 に示すタイミングチャートの様に転送時間  $\tau$  を 1/3 フィールドに伸ばすことが可能となる、等が提示されている。

【0014】

10 【発明が解決しようとする課題】従来技術では表示用データを保持するために補助容量  $C_s$  が必要であったが、これが存在することにより開口率が低下していた。しかしながら補助容量  $C_s$  を廃止した画素回路構成で従来の駆動方法を用いたのではフリッカーの発生要因となるだけでなく、表示用データ保持率の低下を招き表示品位も低下するという問題が生ずる。図 18 に補助容量  $C_s$  を有した場合と有さない場合とのある画素における表示用データの保持率を示す。また図 14、及び図 15 に示した回路構成の場合、画素部の素子数増加による画素サイズの拡大（高精細化の妨げ）、及び歩留りの低下を招いていた。

20 【0015】また図 13 に示すようにアクティブマトリクス駆動方式におけるアクティブ素子として TFT（薄膜トランジスタ）を用いた場合、これの寄生容量  $C_{gs}$  と画素容量との容量分割によって画素電極の電圧シフトが発生し、表示用データが正確に書き込めないという不具合をひきおこしていた。またこれがフリッカーの発生要因の一つでもあった。

【0016】

30 【課題を解決するための手段】本発明の画像表示装置は、上記の課題を解決するため、行方向（水平方向）及び列方向（垂直方向）にマトリクス状に表示用の画素部を有し、該画素部に表示用データ保持用の補助容量をもつ画像表示装置において、前記補助容量の値が表示用データの 1 フレームにおける保持率が 99% 未満となるような値を取ることを特徴とする。

【0017】また本発明の他の画像表示装置は、行方向（水平方向）及び列方向（垂直方向）にマトリクス状に表示用の画素部を有し、該画素部に表示用データ保持用の補助容量を有さないことを特徴とする。

40 【0018】また本発明の画像表示装置の駆動方法は、行方向（水平方向）及び列方向（垂直方向）にマトリクス状に表示用の画素部を有する上記画像表示装置において、1 フレーム期間内で該同一画素部に、複数回の同一表示用データを書き込むことを特徴とする。

50 【0019】また画像表示装置がアクティブマトリクス方式で駆動され、画素のスイッチング機能をなすアクティブ素子に、アクティブ素子の 1/2 の大きさのソース、ドレイン間を直結した MOSFET を画素電極に接続する構成とし、上記アクティブ素子に対応する走査信号とは逆位相となる走査信号を MOSFET に印加す

る。また画像表示装置がアクティブマトリクス方式で駆動され、画素のスイッチング機能をなすアクティブ素子を、CMOSアナログスイッチで構成し、上記CMOSアナログスイッチを構成する2つのMOSFETにお互いが逆位相となる走査信号を印加する構成にする。

【0020】また本発明は、画像表示装置が液晶表示装置である場合にも適用できる。

【0021】また本発明の画像装置のアクティブ素子は、キャリア移動度 $\mu$ を $\mu \geq 5 \text{ cm}^2/\text{V} \cdot \text{sec}$ とする。

【0022】

【作用】従来技術では、補助容量 $C_s$ はコモン電極または前段の走査信号線に接続されていたが、本発明ではこれを廃止することが可能となることから構造が容易となり開口率が向上する。また上記補助容量 $C_s$ を廃止するには至らないまでも補助容量 $C_s$ の値を小さくすることにより開口率を向上することができる。さらに表示用データ保持率の改善も可能となる。フィールド順次走査方式を行う場合においても、図14、及び図15に示されるような複雑な回路構成を必要としないために画素回路規模の縮小（画素サイズの縮小）が図られ、歩留り向上及び高精細化が可能となる。

【0023】また、補助容量 $C_s$ を低くした場合のみならず、データドライバ中のサンプリング回路、ホールド回路等や画素部の各種回路を形成するトランジスタのOFF電流が大きい場合、或いは所謂サンプリングコンデンサ、データホールドコンデンサ、他のコンデンサの並列抵抗成分が小さい場合に発生するデータ変動を抑えることができる。

【0024】更に、アクティブ素子としてTFT（薄膜トランジスタ）を用いている場合、これのゲートソース間の寄生容量 $C_{gs}$ と画素容量との容量分割によって発生する画素電極の電圧シフトに起因するフリッカー等を抑制することができる。

【0025】

【実施例】

【実施例1】本実施例では白黒表示（単色表示）の場合において1フレーム期間内に、画素部に複数回表示用データを書き込む場合を説明する。

【0026】本発明の駆動法を実施する上での周辺回路構成と画素回路構成の例を図2（ $x \times y$ マトリクスの場合）に示す。同図において14はタイミングコントロール回路、11はA/Dコンバータ、12はフィールドメモリA、13はフィールドメモリB、15はD/Aコンバータ、16は極性反転回路、2はデータドライバ、3は走査ドライバ、17は表示用画素アレイ（ $x \times y$ マトリクス）である。画素回路構成の例としては図11における構成で補助容量 $C_s$ の値が表示用データ保持率が99%以下となるような値をとる構成、もしくは補助容量 $C_s$ を除去した構成とする。なお、12のフィールドメモリAと13のフィールドメモリBは書き込みと読み出

しを1フィールド毎に交互に行うものである。

【0027】次に動作について説明する。まずA/Dコンバータ11に表示用データを入力し、フィールドメモリに記憶するためにアナログ信号からデジタル信号に変換後、変換された信号をフィールドメモリA12で1フレーム期間分記憶する。これと同時に1フレーム期間前の表示用データを1フレーム期間分、既に記憶しているフィールドメモリB13から、この記憶されているデータをタイミングコントロール部14で生成されたタイミング信号により1フレーム期間内にシリアルに $n$ 回、1フィールド分すべての表示用データの読み出しを16.67/ $n$  [msec] 内（フレーム周波数が60Hzの場合、以下同じ）で行う。フィールドメモリB13から読み出された表示用データをD/Aコンバータ15にてデジタル信号からアナログ信号に変換し、次に極性反転回路16でタイミングコントロール部14で生成された極性反転信号により表示用データの極性を反転（1Hライン反転、1フィールド反転もしくはフィールド+1Hライン反転等）を行った後、データドライバ2に入力し、これをデータドライバ2においてサンプリングレデータ信号線に出力することにより、所定の各画素に書き込む。

【0028】このときの書き込みのタイミングは、従来の一般的な走査法の一例を示す図19に対し、図1に示すようにフィールドメモリB13からの $n$ 回の1フレーム期間分の表示用データ読み出しと合わせたタイミング（16.67/ $n$  [msec] 内で $y$ 本分の走査信号を出力できるようなタイミング）で走査ドライバ3を動作させ、それぞれの走査信号のパルス幅内で $x$ 個（1水平ライン画素数）の表示用データのサンプリング、及び書き込みを行えるような周波数でデータドライバ2も動作させる。即ち、ある画素において1フレーム期間内に $n$ 回、同一表示用データが書き込まれることになる。以上の動作を行った場合のある画素における表示用データ保持率のグラフを図3に示す。この時のデータドライバ2、及び走査ドライバ3の動作周波数（クロック、スタートパルス等）は通常動作の場合を $f$  [Hz] としたとき、データの読み出し回数を $n$ 回とすると、 $n \times f$  [Hz] となる。

【0029】上述のように、1フレーム期間内で、各々の画素に対応した表示用データが $n$ 回所定の画素に書き込まれる駆動方法を用いることにより、補助容量 $C_s$ の値が表示用データ保持率99%未満となるような値をとる場合の画素回路構成、また完全に除去した場合の画素回路構成において、開口率の向上だけではなく高表示用データ保持率の実現、及び画素回路規模の縮小（画素サイズの縮小）による歩留り向上、高精細化が可能である。

【0030】以上のように各画素に対して1フレーム期間に複数回の書き込みを行うには画素内のアクティブ素

10

20

30

40

50

子（トランジスタTR）の駆動能力が大きいことが望ましく、キャリア移動度 $\mu$ が少なくとも $5\text{cm}^2/\text{V}\cdot\text{sec}$ 以上の素子、例えば多結晶シリコンTFT等を用いることが望ましい。

【0031】ここで表示用データ保持率の99%という数字の根拠は、従来の駆動法では自然画表示の実用レベルに相当する64階調の表示用データを1フレーム期間にわたって安定して表示するにはマージンを含めて99%以上のデータ保持率を必要としていたことによる。

【0032】なお以上の説明では、原信号がTV信号のようなインタレス信号を隣接する2水平ライン（走査線とも呼称）に書き込むノンインタレス走査であったが、回路構成をこれに限定するものではなく原信号がインタレス信号であり、1フレーム期間内に2フィールド映像信号分を表示する場合においても、適用できることは勿論のことである。しかし、この場合、周辺回路の構成が複雑化、或いはメモリの容量が増加するのは当然の事である。またカラーフィルタを用いた2色以上の空間的加法混色の場合は、回路構成が色の数に応じて増加することは言うまでもない。

【0033】〔実施例2〕次にフィールド順次走査方式におけるカラー化の第1の実施例について説明する。

【0034】画素回路構成としては、例えば図11における構成で補助容量 $C_s$ の値が表示用データ保持率が99%未満となるような値をとる構成、もしくは補助容量 $C_s$ を完全に除去した構成とする。駆動回路の基本構成例は図4（ $x \times y$ マトリクスの場合）に示す。フィールドメモリA12、B13の内部を1フレーム期間分の赤画面表示用データ、緑画面表示用データ、青画面表示用データを各々記憶するブロック18～23に分け、また

タイミングコントロール部14に赤、緑、青画面用表示用データをそれぞれ読み出すタイミング信号を生成する機能をもった構成とする。

【0035】次に動作について説明する。フィールド順次表示用データをA/Dコンバータ11（表示用データがフィールド順次表示用RGB信号の場合は1個のA/Dコンバータからなり、一般のRGB信号の場合は3個のA/Dコンバータからなる）に入力し、フィールドメモリに記憶するためにアナログ信号からデジタル信号に変換後、変換された信号をフィールドメモリA12で1フレーム期間分の赤、緑、青画面表示用データそれぞれ18、19、20で記憶する。これと同時に1フレーム前の赤、緑、青画面表示用データを21、22、23にそれぞれ1フレーム期間分を既に記憶しているフィールドメモリB13より、この記憶されているデータをタイミングコントロール部14で生成された読み出し信号により1フレーム期間（16.67[msec]）内に1フレーム期間分の赤、緑、青画面表示用データを一定の順序でn回シリアルに読み出す。即ち図5に示すように赤、緑、青画面表示用データ3つで1セットとし1フレ

ーム期間内にnセットの読み出しを行うことになる（表示用データ読み出し順序はいかなる順序でも良い）。次にD/Aコンバータ15にてフィールドメモリB13から読み出された表示用データをデジタル信号からアナログ信号に変換後、次に極性反転回路16にてタイミングコントロール部14で生成された極性反転信号により表示用データの極性を反転（1Hライン反転、1フィールド反転もしくはフィールド+1Hライン反転等）を行った後、データドライバ2に入力し、これをデータドライバ2においてサンプリングしデータ信号線に出力することで、所定の各画素に書き込む。

【0036】このときの書き込みのタイミングは、図5に示すようにフィールドメモリBからのn回の1フレーム期間分の表示用データ読み出しと合わせたタイミング（16.67/n[msec]）以内でy本分の走査信号を出力できるようなタイミングで走査ドライバを動作させ、それぞれの走査信号のパルス幅内でx個（1水平ライン画素数）の表示用データのサンプリング、及び書き込みを行えるような周波数でデータドライバ2も動作させる。

【0037】以上の動作を行うことで、色の時間的混色の周期が高速となり人間の視覚感度に対し異和感を感じず、特願平3-77983（特開平4-310925）で表示用データの保持率を高めるために提案された図14、図15に示す複雑な画素回路構成とせずとも、高開口率が得られる1トランジスタ構成で、高表示用データ保持率の実現及び画素回路規模の縮小（画素サイズの縮小）による歩留り向上、高精細化が可能である。

【0038】〔実施例3〕次に同じフィールド順次走査方式におけるカラー化の第2の実施例について説明する。

【0039】画素回路構成及び駆動回路構成は実施例2と同様とする。動作については、図4におけるタイミングコントロール14で生成される読み出し信号のタイミングを変化させることで、例えば図6に示すように1フレーム期間を3等分し、最初の1/3の期間内でn回、赤画面表示用データを、次の1/3の期間内でn回、緑画面表示用データを、最後の1/3の期間内でn回、青画面表示用データを読み出し、所定の画素に書き込む（これに限らず、他のいかなる表示用データの組み合わせでもかまわない）。以上の回路構成及び駆動方法により、高開口率の得られる1トランジスタ構成で、高表示用データ保持率の実現及び画素回路規模の縮小（画素サイズの縮小）による歩留り向上、高精細化が可能である。

【0040】〔実施例4〕また図7に示すシステム構成例、これに対応した図8のタイミングチャートにおいて動作させることで1垂直走査期間内で、各々の画素に対応した表示用データをn回所定の画素に書き込むことができる。

【0041】まず構成について説明する。図7 ( $x \times y$  マトリクスの場合)において14はタイミングコントロール、24は走査ドライバ1、25は走査ドライバ2 (走査ドライバは水平走査本数の数だけあるものとする。この場合だと $y$ 個の走査ドライバが必要。)とし、それぞれの走査ドライバには $n$ 本の走査信号線が、データドライバ2には $x$ 本のデータ信号線が接続されている。走査信号線、データ信号線の各交点に図7に示すような形で画素回路26を形成する。画素回路においてはデータ信号線とサンプリング信号線との交点に $n$ 個のサンプリング用素子TR5を接続し、これの出力にそれぞれ1対のサンプリング容量 $C_h$ 、とアクティブ素子としてのTRを介して最終的には1つの画素容量 $C_p$ に接続されている。

【0042】動作について図8に示すタイミングチャートを基に説明する。データドライバはタイミングコントロール回路14で生成されるサンプリング信号1のパルス幅内に1水平期間分の表示用データをデータ信号線に出力、順次 $y$ 本分の表示用データをデータ信号線に出力する。即ち同図においてAの期間内で1フィールド分の表示用データをサンプリングし、出力することになる。次にサンプリング信号1~ $y$ によりTR5を介して、データ信号線上の表示用データを各水平ライン毎に順次サンプリング容量 $C_h$ に書き込み、走査信号線を同図に示す順序1-1、2-1、... $y$ -1、(同図におけるAの期間)1-2、2-2... $y$ -2、(同図におけるBの期間)1- $n$ 、2- $n$ 、 $y$ - $n$  (同図におけるNの期間)となる順序で走査することにより、1フレーム期間内に $n$ 回、サンプリング容量 $C_h$ から画素容量へ表示用データを書き込む。

【0043】以上の動作を行うことでデータドライバ2のサンプリング回数を1回で済ませることができ、データドライバ2の負担を軽減させつつ表示用データ保持率を低下させることなく補助容量 $C_s$ を減少、或いは廃止することができる。

【0044】〔実施例5〕今までの画素回路構成は例として図11における構成で補助容量 $C_s$ の値が表示用データ保持率が99%以下となるような値をとる構成、もしくは補助容量 $C_s$ を完全に除去した構成としていたが、更にアクティブ素子の寄生容量 $C_{gs}$  ( $C_{gd}$ )による影響を抑制するための画素回路構成例として図9、図10に示す。

【0045】図9において、図11における画素回路構成から補助容量 $C_s$ を完全に除去し、MOSFETであるTR2、走査信号線2を追加している。TR2のドレイン、ソース、を画素電極に、ゲートを走査信号線2に接続した構成とする。尚、 $C_{gs1}$ はTR1のゲート、ソース間の寄生容量、 $C_{gs2}$ はTR2のゲート、ソース間、 $C_{gd2}$ はゲート、ドレイン間の寄生容量であり、TR2は「 $C_{gs2} + C_{gd2} = C_{gs1}$ 」となる

トランジスタサイズである。

【0046】走査信号線1には各々の画素に対応した通常の走査信号を印加、走査信号線2にはこれとは逆位相の波形を印加する。こうすることにより $C_{gs1}$ と画素容量 $C_p$ によって発生する画素電極の電圧シフトと $C_{gs2}$ 、 $C_{gd2}$ により発生する画素電極の電圧シフトとのシフト方向がそれぞれ異なるために相殺しあい、これによる影響を抑制することができる。

【0047】図10においても、図11における画素回路構成から補助容量 $C_s$ を完全に除去し、MOSFETであるTR2、走査信号線2を追加する。TR2をTR1とでアナログスイッチを形成する相補型の構成とし、TR1のゲート、ソース間の寄生容量である $C_{gs1}$ と、TR2のゲート、ソース間の寄生容量である $C_{gs2}$ との静電容量が等しくなるトランジスタサイズとする。

【0048】走査信号線1には各々の画素に対応した通常の走査信号を印加、走査信号線2にはこれとは逆位相の波形を印加することで図9に示す画素回路と同様の効果を得ることができる。

【0049】

【発明の効果】従来、補助容量 $C_s$ はコモン電極または前段の走査信号線に接続されていたが、本発明ではこれを廃止することが可能となることから構造が容易となり開口率が向上する。また上記補助容量 $C_s$ を廃止するには至らないまでも補助容量 $C_s$ の値を小さくすることにより開口率を向上することができる。さらに表示用データ保持率の改善も可能となる。フィールド順次走査方式を行う場合においても、図14、及び図15に示されるような複雑な回路構成を必要としないために画素回路規模の縮小 (画素サイズの縮小) が図られ、歩留り向上及び高精細化が可能となる。

【0050】更に述べるなら、補助容量 $C_s$ を低くした場合のみならず、データドライバ中のサンプリング回路、ホールド回路等や画素部の各種回路を形成するトランジスタのOFF電流が大きい場合、或いは所謂サンプリングコンデンサ、データホールドコンデンサ、他のコンデンサの並列抵抗成分が小さい場合に発生するデータ変動を抑えることができる。

【0051】更に、アクティブ素子としてTFT (薄膜トランジスタ) を用いている場合、これのゲート-ソース間あるいはドレイン間の寄生容量 $C_{gd}$ 、 $C_{gs}$ と画素容量との容量分割によって発生する画素電極の電圧シフトを相殺することにより、これに起因するフリッカー等を抑制することができる。

【図面の簡単な説明】

【図1】本発明の駆動方法における走査ドライバの出力波形及び表示電圧を示す図である。

【図2】本発明の一実施例を説明する為のブロック図である。



ある。

【図13】従来の画素回路の動作を説明するための図である。

【図14】従来の画素回路構成の他の例を説明するための図である。

【図15】従来の画素回路構成の更に他の例を説明するための図である。

【図16】従来のフィールド順次走査方式を説明するタイミングチャートである。

10 【図17】従来のフィールド順次走査方式の他の例を説明するタイミングチャートである。

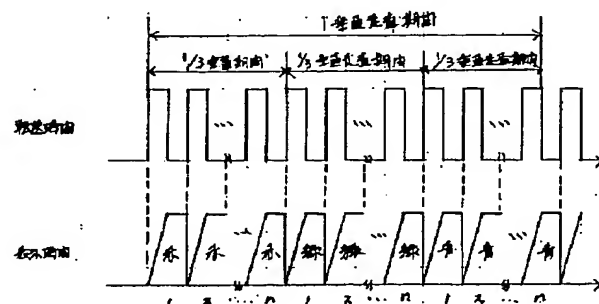
【図18】補助容量 $C_s$ が有る場合と無い場合との表示用データ保持率の説明図である。

【図19】従来の駆動方法における走査ドライバの出力波形を示す図である。

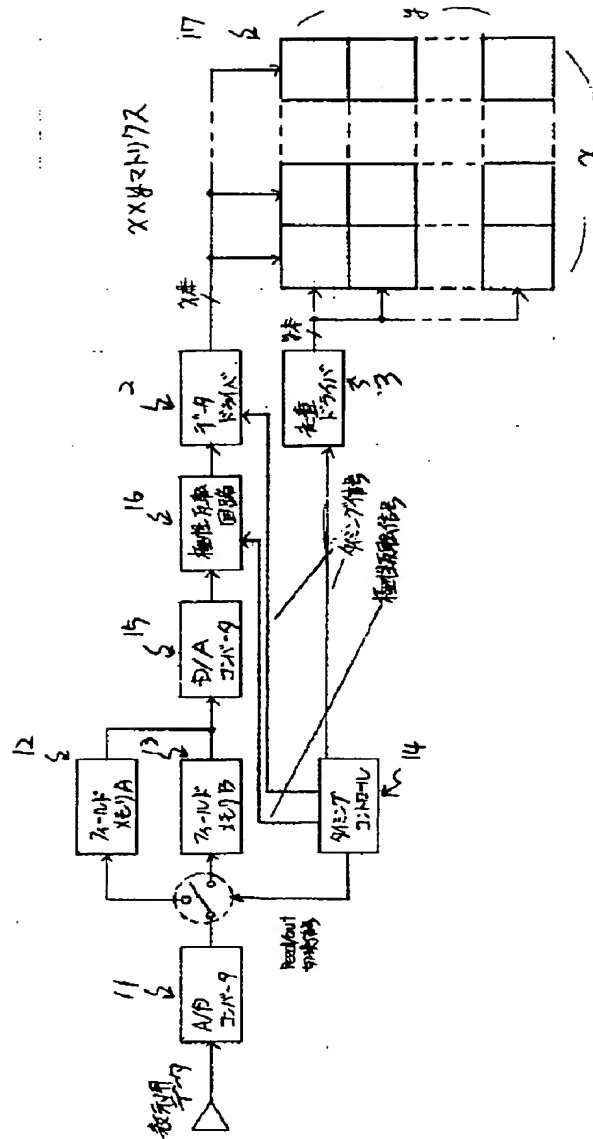
【符号の説明】

## 17 表示用画素アレイ (x × yマトリクス)

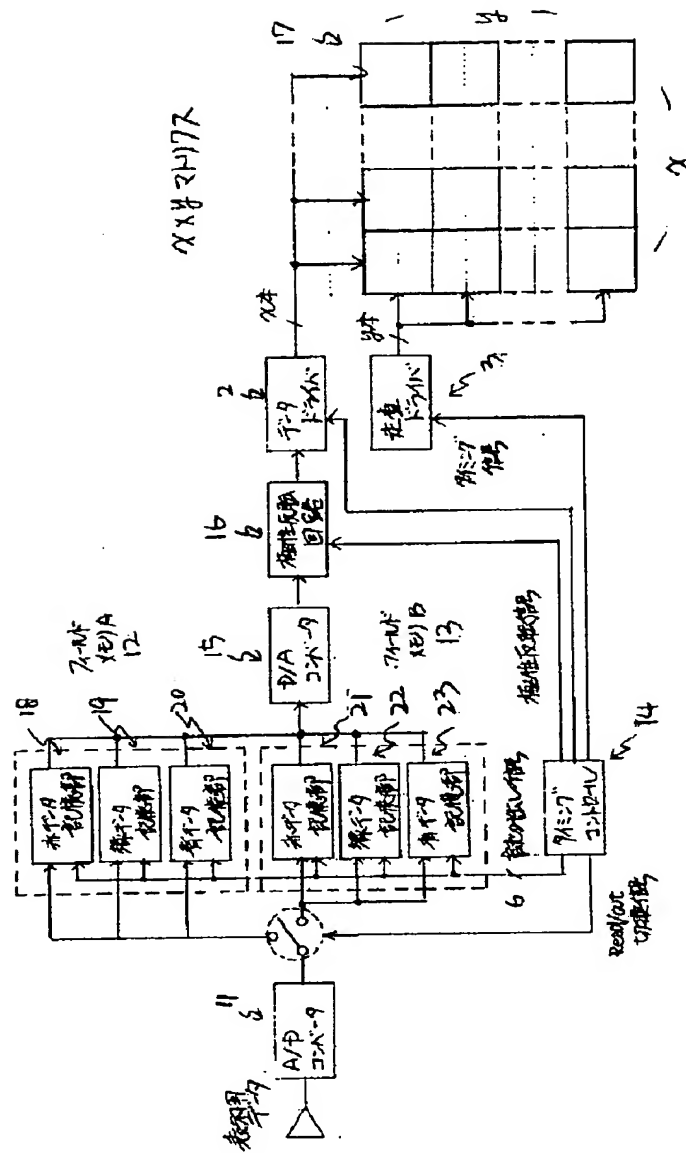
C s 補助容量

$$1 \ 2 \ 3 \ \dots \ y \quad 1 \ 2 \ 3 \ \dots \ y \quad 1 \ 2 \ 3 \ \dots \ y$$


【図2】



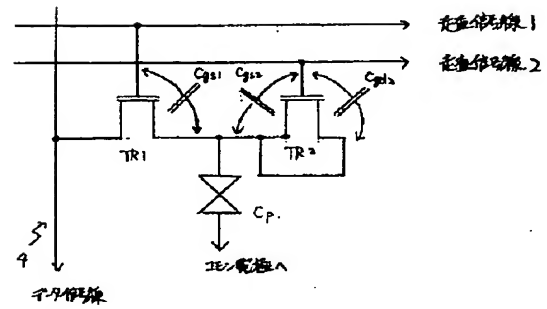
【図4】



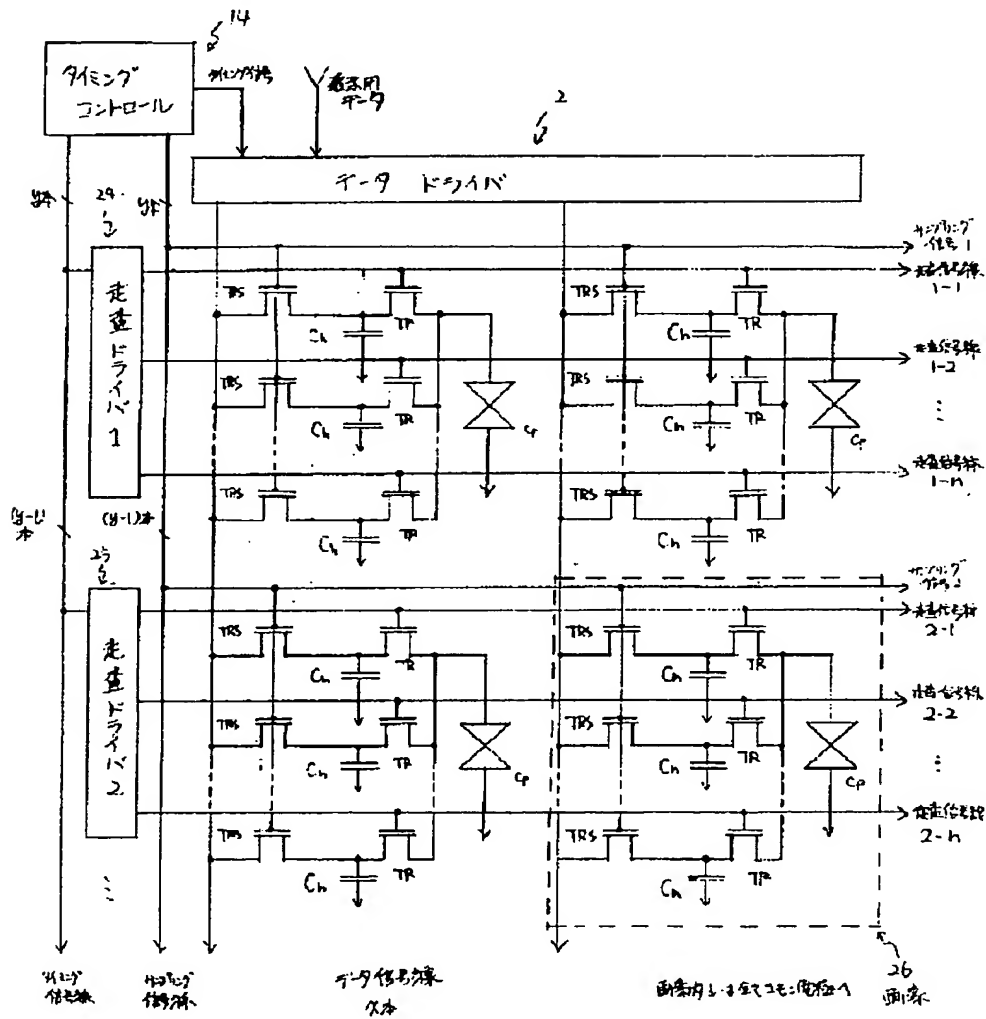
【図5】



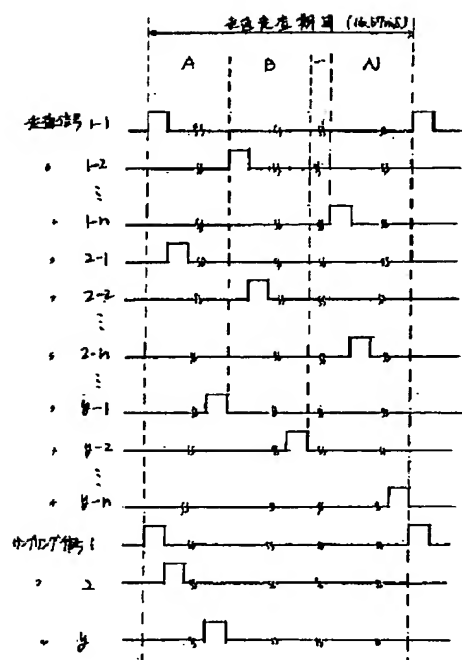
【図9】



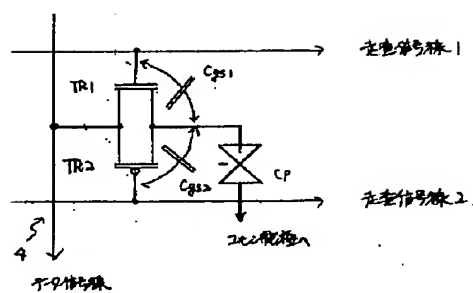
【図7】



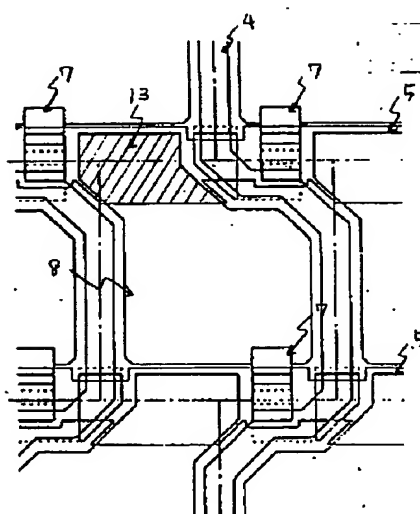
【図8】



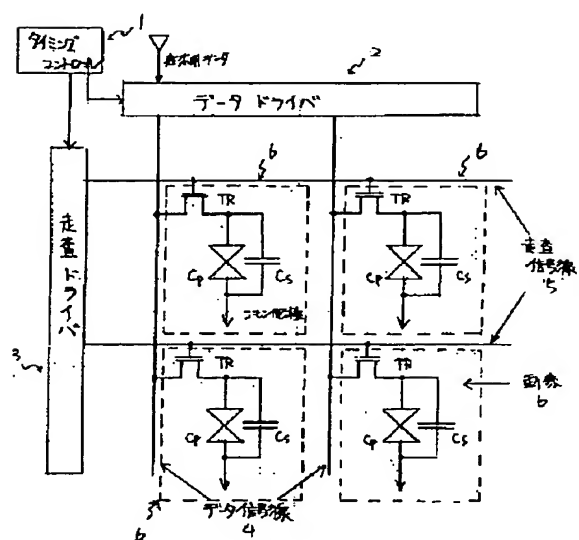
【図10】



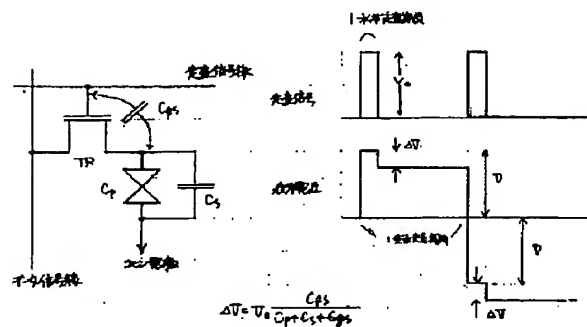
【図12】



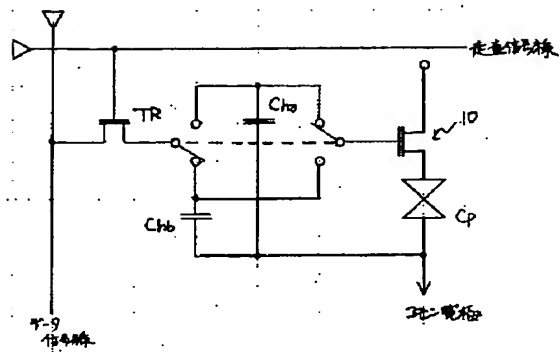
【図11】



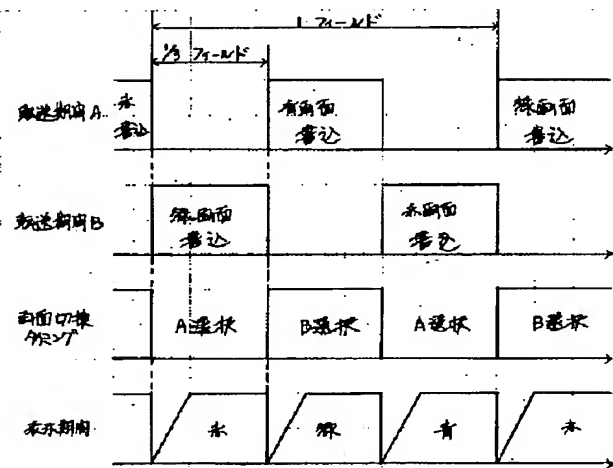
【図13】



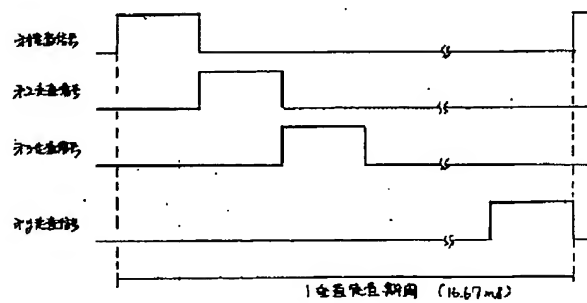
【図 15】



【図 17】



【図 19】



フロントページの続き

(72)発明者 米田 裕  
大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72)発明者 山元 良高  
大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内